

DERWENT-ACC-NO: 1986-201476

DERWENT-WEEK: 198631

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Lead frame for IC with externally forty pin lead-out
lead - has lead stitch parts and eye land parts buried in
insulating substance to prevent deviation NoAbstract Dwg
3/4

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1984JP-0256647 (December 5, 1984)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-
IPC				
JP <u>61134044</u> A	June 21, 1986	N/A	004	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 61134044A	N/A	1984JP-0256647	December 5, 1984

INT-CL (IPC): H01L023/48

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: LEAD FRAME IC EXTERNAL FORTY PIN LEAD LEAD LEAD
STICH PART EYE

LAND PART BURY INSULATE SUBSTANCE PREVENT DEVIATE
NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D03A;

PAT-NO: JP361134044A

DOCUMENT-IDENTIFIER: JP 61134044 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 21, 1986

INVENTOR-INFORMATION:

NAME

AKASHI, SHINICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
------	---------

NEC CORP	N/A
----------	-----

APPL-NO: JP59256647

APPL-DATE: December 5, 1984

INT-CL (IPC): H01L023/48

US-CL-CURRENT: 257/666, 257/E23.049

ABSTRACT:

PURPOSE: To prevent the slide of the stitch part or the island part by a method wherein the gap between lead stitches of each lead and the gap between each lead stitch and the island part are fixed by being filled with insulator.

CONSTITUTION: The gap between stitches 5 of each lead and the gap between the island part 3 and each stitch 5 are previously fixed with an insulator 6 such as epoxy resin or silicon resin. Such a lead frame can be produced by the following method: the insulator 6 such as epoxy resin or silicon resin is cast to the part punched by press out of a base material such as 42 Au or Cu to the patterns of stitches 5 and the island 3; then, the remnant patterns are punched

out by press and plated with Ag at required parts.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-134044

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)6月21日

H 01 L 23/48

7357-5F

審査請求 未請求 発明の数 1 (全3頁)

⑥ 発明の名称 半導体装置

⑦ 特 願 昭59-256647

⑧ 出 願 昭59(1984)12月5日

⑨ 発 明 者 明 石 進 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑪ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

各リードのリードスタッチ部間および各リードスタッチ部とアイランド部との間を絶縁物に埋込み固定したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は集積回路装置(以下、ICという)に関し、特に40ピン以上の外部導出リードを有するICに用いられるリードフレームに関するものである。

〔従来の技術〕

従来、ICのリードフレームは42合金又は銅などの素材を一定厚及び巾に圧延した後、所定のパターンにプレス加工等で打ち抜くか又は化学的

にエッチングを行い、しかる後に所定の部分にAg等のメッキを施している。この場合、Ag等のメッキは圧延後に行うこともしばしばである。

ところで40ピン以上の多ピンICでは、リードフレームのスタッチ部分はリード間隔が非常に狭くなっており、高い寸法精度が要求されている。

〔発明が解決しようとする問題点〕

しかしながら現状では、プレス加工時の歪あるいはエッチング時のマスク不良等のため、ICのボンディングにおいて加熱によるスタッチ部に寸法のズレが発生しボンディング不良を引き起こすことがしばしばである。

〔問題点を解決するための手段〕

本発明は、この様な欠点を解決するために、各リードのノードスタッチ部間および各アイランド部とリードスタッチ部間を絶縁体で埋め込んだことを特徴とするものである。

〔実施例〕

図面により本発明の実施例を説明する。第1図は本発明の一実施例によるリードフレームの平面

図で第2図は第1図のA-A'線に沿った断面図である。

すなわち、あらかじめ各リードのステッチ部5間およびアイランド部3と各ステッチ部5間をエポキシ樹脂、シリコン樹脂等の絶縁物6により固定している。

このようなリードフレームは次の方法で製造できる。すなわち、一定厚及び巾に圧延された42合金又は銅などの素材を、まず第3図の様に各ステッチ部5及びアイランド部3をパターンとなるようにプレスで打ち抜き、打ち抜いた部分にエポキシ樹脂、シリコン樹脂等の絶縁物6を注入する。しかる後に第4図の様に残りのパターンをプレスで打ち抜き、所定の部分にAgメッキを施す。なお、第1図乃至第4図において、1はリードフレーム外枠、2はアイランドフリ部、4はタイバー部である。

(発明の効果)

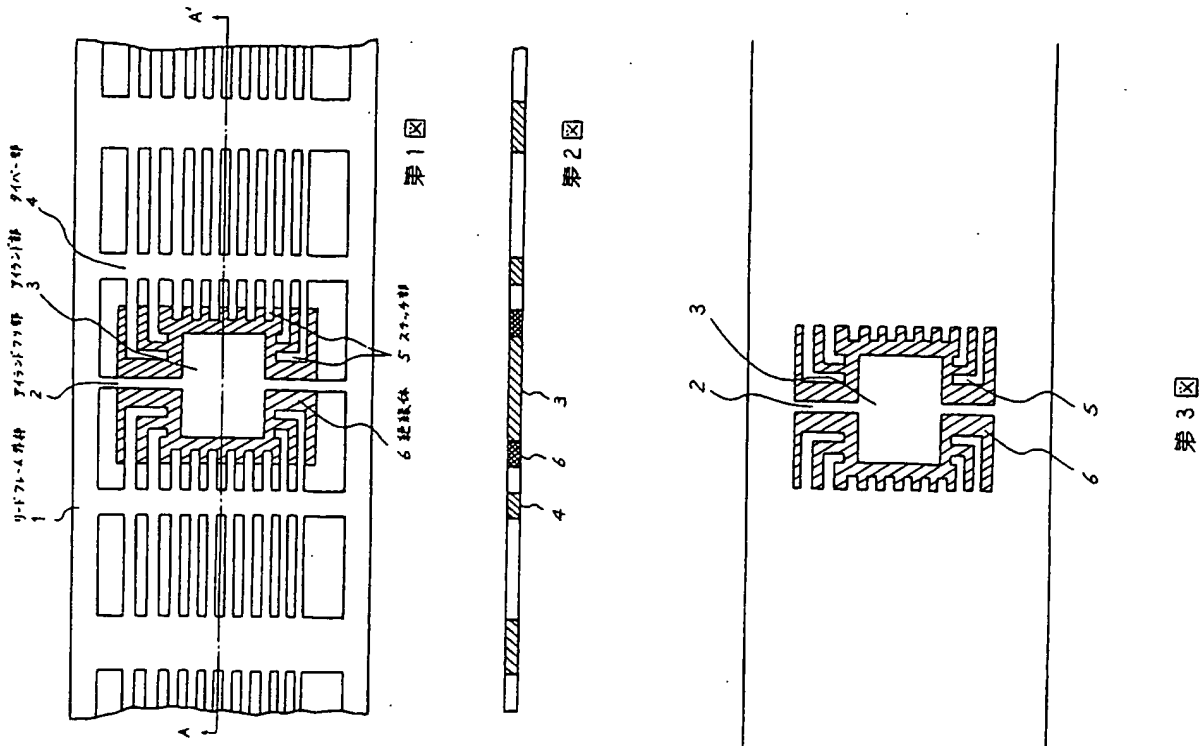
以上のとおり、本発明によれば、ステッチ部やアイランド部のズレを防止できる。

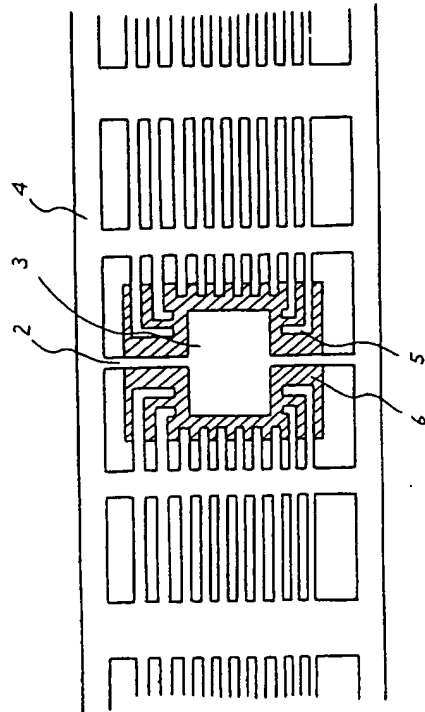
4. 図面の簡単な説明

第1図は本発明の一実施例を示す平面図、第2図は第1図のA-A'線に沿った断面図、第3図および第4図は本実施例のリードフレームを製造するためのプレスのパターン図である。

1…リードフレーム外枠、2…アイランドフリ部、3…アイランド部、4…タイバー部、5…ステッチ部、6…本発明の絶縁部

代理人 弁理士 内 原





第4図